

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月27日

出願番号

Application Number:

特願2002-283165

[ST.10/C]:

[JP 2002-283165]

出願人

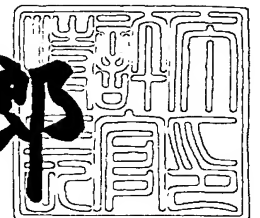
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030365

【書類名】 特許願

【整理番号】 2925040065

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331
H01L 29/73

【発明者】

【住所又は居所】 大阪府門真市大字門真 1・0 0 6 番地 松下電器産業株式会社内

【氏名】 西嶋 将明

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田中 毅

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 上田 大助

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体チップと、前記半導体チップを搭載し、かつ前記半導体チップの電極に接続する導体リードを備えたリードフレームとを有し、前記導体リードのうち、少なくとも一つの形状がミアンダ型の形状を有することを特徴とする半導体装置。

【請求項 2】 前記半導体チップが電界効果トランジスタであり、前記ミアンダ型の導体リードが前記トランジスタのソース、またはエミッタに接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体チップがバイポーラトランジスタであり、前記ミアンダ型の導体リードが前記トランジスタのゲート、またはベース、あるいはドレイン、またはコレクタに接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 半導体チップと、前記半導体チップを搭載し、かつ前記半導体チップの電極に接続する導体リードを備えたリードフレームとを有し、前記導体リードのうち、半導体チップを実装するダイパッド部の導体リード幅より幅が狭い形状を有する導体リードを少なくとも一つ有することを特徴とする半導体装置。

【請求項 5】 前記半導体チップがトランジスタであり、前記半導体チップを実装するダイパッド部の導体リード幅より幅が狭い導体リードが前記トランジスタのソース、あるいはエミッタに接続されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記半導体チップがトランジスタであり、前記半導体チップを実装するダイパッド部の導体リード幅より幅が狭い導体リードが前記トランジスタのゲート、またはドレインに接続されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】 前記トランジスタのソース、またはエミッタは半導体チップを貫通するバイアホールにより前記導体リードと接続されていることを特徴とする

請求項 2 または 5 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置として、マイクロ波、X 帯、Ku 帯領域で用いられる半導体実装用パッケージに関するものである。

【0002】

【従来の技術】

マイクロ波、X 帯、Ku 帯領域で用いられる高周波デバイスを実装する半導体実装用パッケージにおいては、小型化、低コスト化、高性能化が求められる。

【0003】

特に、12GHz 帯の受信系の低雑音増幅器用 HEMT デバイス実装用として、例えば図 6 に示される 4 ピンの樹脂パッケージが使われる。

【0004】

図 6 ～図 8 に従来例である 4 ピン樹脂パッケージを説明するための図面を示す。

【0005】

図 8 (a) (b) は、従来の半導体装置の 4 ピン樹脂パッケージに実装する HEMT デバイスの回路図とスミスチャートであり、図 6、図 7 は従来の半導体装置の 4 ピン樹脂パッケージの断面図と上面図である。

【0006】

リードフレームとしてゲート用リードフレーム 207、ソース用リードフレーム 206、ドレイン用リードフレーム 208 を形成して、プリモールド樹脂 209 が形成される。ソース用リードフレーム 206 の中央部は半導体チップを実装するダイパッド部となっており、HEMT チップ 205 が導電性接着剤を用いて実装され、HEMT のソース 202 はボンディングワイヤ 213 により、ソース用リードフレーム 206 上に電氣的に接続される。図 8 のソースインダクタ 204 は、図 7 のパターンにおいて、ボンディングワイヤ 213 とソース用リードフレーム 206 上にボンディングワイヤ 213 を接続した位置から、プリモールド

樹脂 2 0 9 の外部のソース用リードフレーム 2 0 6 の端までのインダクタンス成分に相当する。

【 0 0 0 7 】

最終の封止工程としてキャップ 2 1 0 が接着剤 2 1 1 を用いてプリモールド樹脂 2 0 9 上に接着される。キャップ 2 1 0 とプリモールド樹脂 2 0 9 で囲まれる内部は中空部 2 1 2 となっている（例えば特許文献 1 参照）。

【 0 0 0 8 】

【特許文献 1】

特開平 9 - 2 1 3 8 2 6 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

図 6、図 7 に示す従来例の 4 ピン樹脂パッケージでは、ソースインダクタ 2 0 4 としてボンディングワイヤ 2 1 3 を用いるために、実装時にボンディングワイヤの長さがばらついてしまう。これにより 1 2 G H z 帯を含むマイクロ波、X 帯、K u 帯領域では、H E M T デバイスの G_{opt} (最適利得整合インピーダンス)、 Γ_{opt} (最小雑音整合インピーダンス) がばらつく。その結果、高周波特性、特に、利得、雑音の特性変動が大きくなり、図 8 (b) に示すように、(図 8 (b) において両端矢印 \rightleftharpoons を参照)、性能の安定化を損ねるとともに、歩留まり低下による高コスト化を招くという問題が生じていた。

【 0 0 1 0 】

特開平 9 - 2 1 3 8 2 6 号公報に示されるパッケージは、図 6、図 7 に示す従来例の 4 ピン樹脂パッケージのように、ソースインダクタ 2 0 4 としてボンディングワイヤ 2 1 3 を用いているために、同様に利得、雑音の性能の安定化を損ねるとともに、歩留まり低下による高コスト化を招くという問題がある。

【 0 0 1 1 】

本発明は上記問題点に鑑み、半導体装置としてデバイスが実装された樹脂パッケージ品として低コスト化、高性能化を実現可能にすることを目的とするものである。すなわち、低コスト化として利得、雑音の特性ばらつき抑制による歩留まり向上を目指し、高性能化として高利得、低雑音の特性の両立を目指したもので

ある。

【0012】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置は、半導体チップと、前記半導体チップを搭載し、かつ前記半導体チップの電極に接続する導体リードを備えたリードフレームとを有し、前記導体リードのうち、少なくとも一つの形状がミランダ型の形状を有するものである。

【0013】

また、上記課題を解決するために、本発明の半導体装置は、半導体チップと、前記半導体チップを搭載し、かつ前記半導体チップの電極に接続する導体リードを備えたリードフレームとを有し、前記導体リードのうち、半導体チップを実装するダイパッド部の導体リード幅より幅が狭い形状を有する導体リードを少なくとも一つ有するものである。

【0014】

この構成により、導体リードの少なくとも一つの形状をミランダ型、あるいは半導体チップを実装するダイパッド部の導体リード幅より幅が狭い形状としているので、インピーダンスマッチングを容易にとることができ、それにより半導体装置の高周波特性を向上させることができる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態である半導体装置について、図面を参照しながら詳細に説明する。

【0016】

本発明の半導体装置として4ピン樹脂パッケージの第1の実施の形態を、図1～図5を用いて説明する。

【0017】

図4（a）（b）は、本発明の半導体装置の回路図すなわち4ピン樹脂パッケージに実装するHEMT（高電子移動度トランジスタ）デバイスの回路図とスミスチャートであり、図1、図2は本発明の半導体装置すなわち4ピン樹脂パッケ

ージの上面図と断面図であり、図 3 は本発明の半導体装置に係るリードフレームの概略図すなわち図 1 中の HEMT のソース用リードフレーム 1 0 6 の拡大図を示している。

【0018】

リードフレームとしてゲート用リードフレーム 1 0 7、ソース用リードフレーム 1 0 6、ドレイン用リードフレーム 1 0 8 を形成して、プリモールド樹脂 1 0 9 が形成される。ソース用リードフレーム 1 0 6 の中央部は半導体チップを実装するダイパッド部となっており、HEMT チップ 1 0 5 が導電性接着剤を用いて実装される。HEMT のソース 1 0 2 は HEMT チップ内に形成されるバイアホール 1 1 6 を通じて、ソース用リードフレーム 1 0 6 に電氣的に接続される。なお、図 1 において用いる FET (図示せず) は、ゲート、ソース、ドレインよりなる。

【0019】

図 4 (a) のソースインダクタ 1 0 4 は、図 2 において、バイアホール 1 1 6 とソース用リードフレーム 1 0 6 上でバイアホール 1 1 6 が電氣的に接続された位置から、プリモールド樹脂 1 0 9 の外部のソース用リードフレーム 1 0 6 の端までの分布定数線路のインダクタンス成分に相当する。なお、図 4 において 1 0 1 はゲート、1 0 2 はソース、1 0 3 はドレインを表す。

【0020】

従来例では、ボンディングワイヤを用いてインダクタンス成分を実現して、 G_{opt} (最適利得整合インピーダンス) と Γ_{opt} (最小雑音整合インピーダンス) を近接させた上で、 50Ω 近傍に整合させていた。これに対して、本実施の形態では、図 3 に示すように、HEMT チップ 1 0 5 が実装されるダイパッド部に接続されるリードフレームをミアンダ型の導体ラインで構成することにより、図 8 (b) でソースインダクタ 2 0 4 として用いるボンディングワイヤ 2 1 3 の実装時に生じていた長さのばらつきの回避が可能となる。こうして HEMT デバイスの G_{opt} (最適利得整合インピーダンス)、 Γ_{opt} (最小雑音整合インピーダンス) のばらつき抑制が利得、雑音の特性ばらつき抑制につながることで、歩留まりが向上し、低コスト化が実現できる。

【 0 0 2 1 】

同時に G_{opt} と Γ_{opt} を近接させて 50Ω 近傍に整合させ、高利得と低雑音特性を両立して実現することが可能となる。

【 0 0 2 2 】

最終の封止工程としてキャップ 1 1 0 が接着剤 1 1 1 を用いてプリモールド樹脂 1 0 9 上に接着される（図 2）。キャップ 1 1 0 とプリモールド樹脂 1 0 9 で囲まれる内部は中空部 1 1 2 となっている。

【 0 0 2 3 】

また、上記では図 3 に示すように、HEMT チップ 1 0 5 が実装されるダイパッド部に接続されるリードフレームをミアンダ型の導体ラインすなわちソース用ミアンダライン 1 1 3 で構成したが、図 5 の変形例に示すように、半導体チップを実装するダイパッド部の導体リード幅より幅が狭い形状（リードフレーム）を有する部分すなわち幅狭リード部 1 1 7 が形成されていても同様の効果が得られる。これは、幅を狭くすることで、導体リードのインダクタンス成分が増えるためである。

【 0 0 2 4 】

半導体チップとして、HEMT（高電子移動度トランジスタ）を取り上げ説明したが、その他の電界効果型トランジスタ、バイポーラトランジスタでも同様の効果が得られる。

【 0 0 2 5 】

【発明の効果】

本発明の半導体装置によれば、デバイスが実装された樹脂パッケージ品として低コスト化、高性能化を図ることができるという効果を有する。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の上面図

【図 2】

本発明の半導体装置の断面図

【図 3】

本発明の半導体装置に係るリードフレームの概略図

【図 4】

(a) 本発明の半導体装置に係る回路図

(b) スミスチャート

【図 5】

本発明の変形例に係る半導体装置の上面図

【図 6】

従来の半導体装置の断面図

【図 7】

従来の半導体装置の上面図

【図 8】

(a) 従来の半導体装置に係る回路図

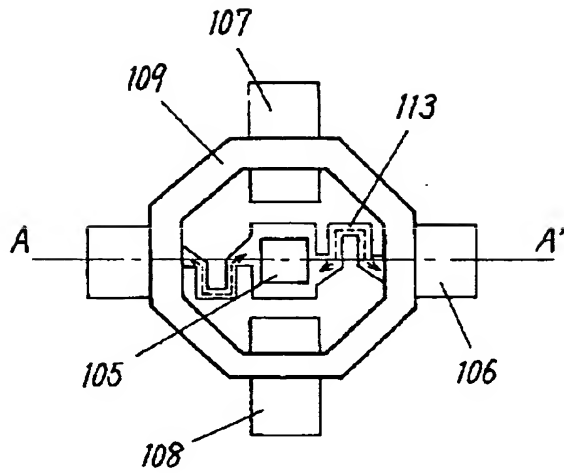
(b) スミスチャート

【符号の説明】

- 1 0 1 ゲート
- 1 0 2 ソース
- 1 0 3 ドレイン
- 1 0 4 ソースインダクタ
- 1 0 5 HEMTチップ
- 1 0 6 ソース用リードフレーム
- 1 0 7 ゲート用リードフレーム
- 1 0 8 ドレイン用リードフレーム
- 1 0 9 プリモールド樹脂
- 1 1 0 キャップ
- 1 1 1 接着剤
- 1 1 2 中空部
- 1 1 3 ソース用ミアンダライン
- 1 1 6 バイアホール
- 1 1 7 幅狭リード部

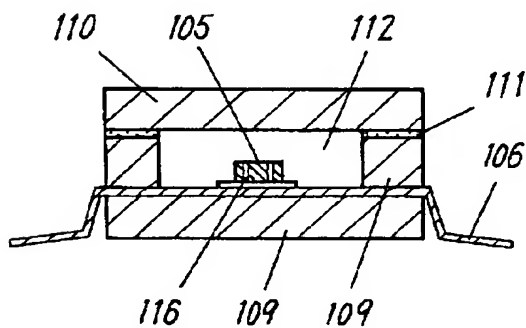
【書類名】 図面

【図 1】



- 105 HEMTチップ
- 106 ソース用リードフレーム
- 107 ゲート用リードフレーム
- 108 ドレイン用
リードフレーム
- 109 プリモールド樹脂

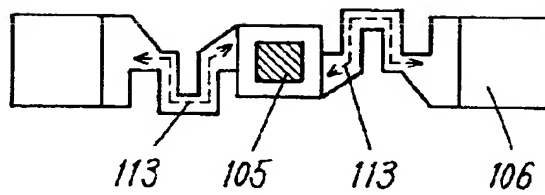
【図 2】



- 105 HEMTチップ
- 106 ソース用リードフレーム
- 109 プリモールド樹脂
- 110 キャップ
- 111 接着剤
- 112 中空部
- 116 バイアホール

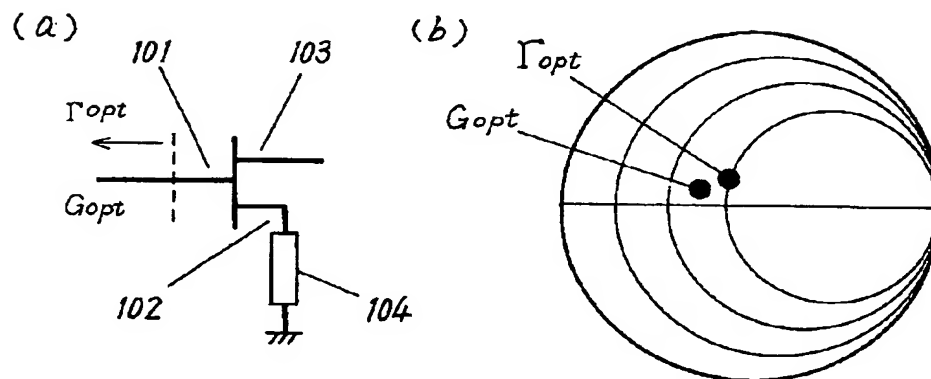
【図 3】

105 HEMT チップ
106 ソース用リードフレーム
113 ソース用ミランダライン

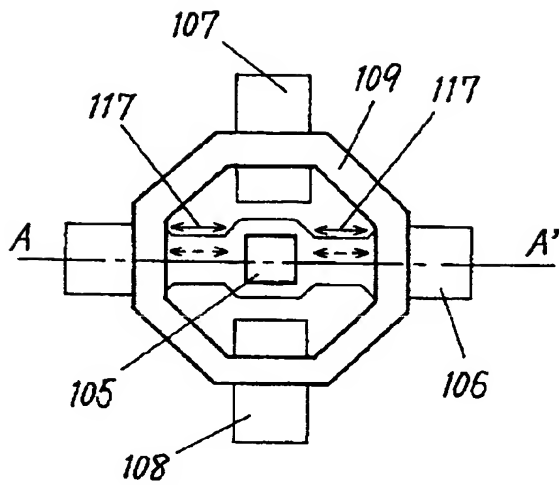


【図 4】

101 ゲート 103 ドレイン
102 ソース 104 ソースインダクタ

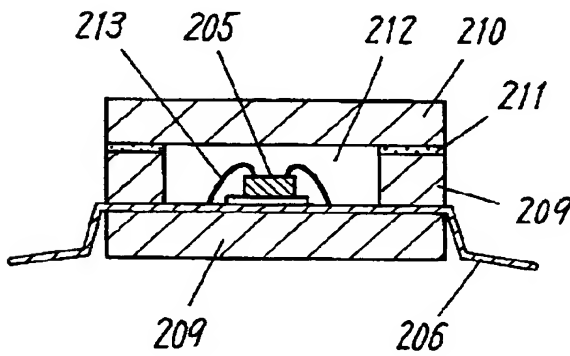


【図 5】



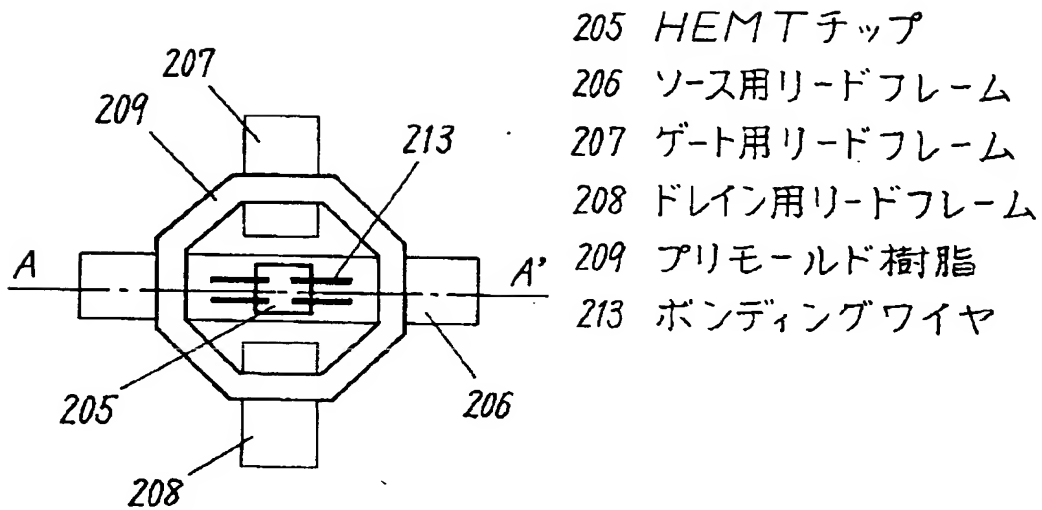
- 105 HEMTチップ
- 106 ソース用リードフレーム
- 107 ゲート用リードフレーム
- 108 ドレイン用
リードフレーム
- 109 プリモールド樹脂

【図 6】



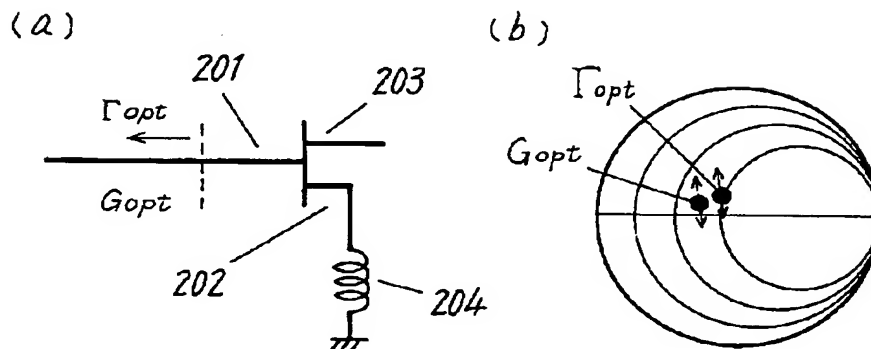
- 205 HEMTチップ
- 206 ソース用リードフレーム
- 209 プリモールド樹脂
- 210 キャップ
- 211 接着剤
- 212 中空部
- 213 ボンディングワイヤ

【图 7】



【図 8】

201 ゲート 203 ドレイン
202 ソース 204 ソースインダクタ



【書類名】 要約書

【要約】

【課題】 半導体デバイス実装用樹脂パッケージ品の低コスト化、高性能化を実現する。

【解決手段】 リードフレームとしてゲート用リードフレーム107、ソース用リードフレーム106、ドレイン用リードフレーム108を形成して、プリモールド樹脂109が形成される。ソース用リードフレーム106の中央部は半導体チップを実装するダイパッド部となっており、HEMTチップ105が導電性接着剤を用いて実装される。HEMTのソース102はHEMTチップ内に形成されるバイアホール116を通じて、ソース用リードフレーム106に電氣的に接続される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社